
Übung 9

Abgabe bis **Donnerstag, 16. Juni 10:00** via EPIIC: <http://ep.iic.jku.at>.

1. Cache Zugriffszeiten (4 Punkte)

Beim Entwurf eines Rechners ist noch unklar, ob ein direct mapped Cache (DMC), ein assoziativer Cache (AC) oder ein 4-fach satzassoziativer Cache (4AC) verwendet werden soll. Tabelle 1 gibt die geschätzten technischen Daten der Caches an. Für welchen Cache sollte man sich entscheiden, wenn die Zugriffszeit zum Hauptspeicher 20 ns beträgt?

Cache	Trefferrate	Zugriffszeit des Caches
DMC	91,5%	1,2 <i>ns</i>
4AC	94,1%	2,3 <i>ns</i>
AC	96,0%	3,6 <i>ns</i>

Tabelle 1: Geschätzte technische Daten

2. Assoziativer Cache (10 Punkte)

In einem Rechner wird ein assoziativer Cache mit 4 Cacheblöcken verwendet. In einem auf dem Rechner laufenden Programm wird nacheinander auf folgende Adressen zugegriffen:

0xD09, 0xE10, 0xF01, 0xE16, 0xE10, 0xB01, 0xE16, 0xF01, 0xB12, 0xB01, 0xC01, 0xF01, 0xB12, 0xB01, 0xC02, 0xF01

- Die Datenwörter welcher Adressen sind nach den jeweiligen Zugriffen im Cache gespeichert, wenn *FIFO* (*first in first out*) als Verdrängungsstrategie verwendet wird? Zu wie vielen Cache-Misses kommt es?
- Die Datenwörter welcher Adressen sind nach den jeweiligen Zugriffen im Cache gespeichert, wenn *LRU* (*least recently used*) als Verdrängungsstrategie verwendet wird? Zu wie vielen Cache-Misses kommt es?
- Verhält sich die LRU Verdrängungsstrategie immer mindestens gleich gut wie die FIFO Verdrängungsstrategie? Begründe deine Aussage oder gib ein Gegenbeispiel an.

3. Direct Mapped Cache (10 Punkte)

In einem Prozessor mit Wort-Adressierung wird ein direct mapped Cache mit 8 Speicherblöcken verwendet. Für Schreibzugriffe wird dabei das Write-Back-Verfahren eingesetzt. Ein auf dem Prozessor laufendes Programm enthält nacheinander folgende Speicherzugriffe:

lw 0x0013, sw 0x000F, lw 0x0040, sw 0x002B, lw 0x000F, lw 0x002B, sw 0x0040, lw 0x0007, sw 0x0011, lw 0x003D, sw 0x0045

- (a) Stell den Zustand des Adressspeichers des Caches nach den jeweiligen Speicherzugriffen tabellarisch dar (Index, Valid, Dirty, Tag). Es ist ausreichend nur die Veränderungen im Cache in der Tabelle einzutragen. Zu wie vielen Cache-Misses kommt es?
- (b) Wie verändert sich das Ergebnis aus Aufgabe (a) wenn man statt dem Write-Back-Verfahren das Write-Allocation-Verfahren für Schreibzugriffe verwendet?
- (c) Wie viele Speicherbits benötigt die Implementierung des Caches mit einer Kapazität von 128 Byte, wenn der Prozessor 16-Bit Adressen verwendet?