

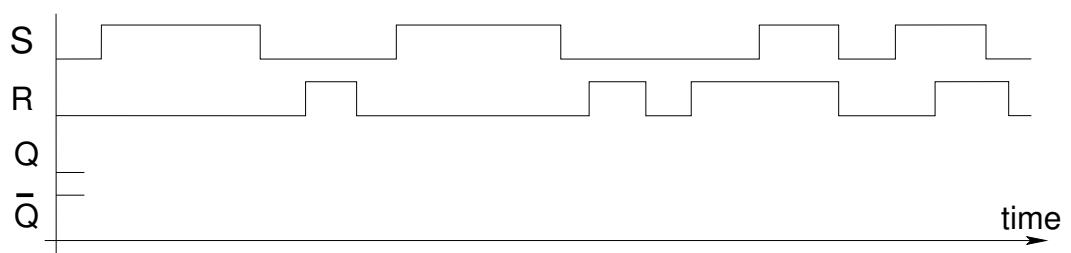
Übung 6

Abgabe bis **Donnerstag, 30. November 08:30** via EPIIC: <http://ep.iic.jku.at>.

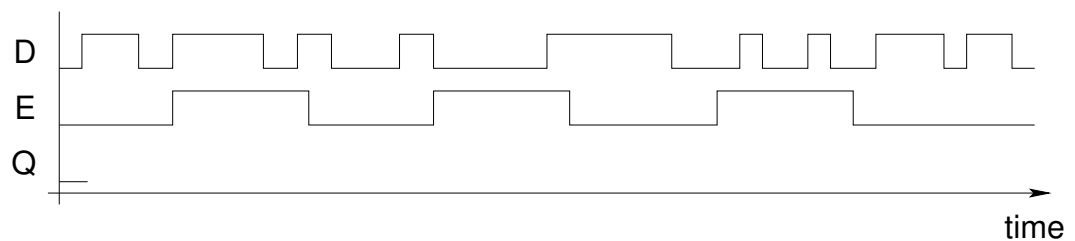
1. Wellenformen (3, 3, 3)

Vervollständige die Wellenformen für folgende Speicherbausteine:

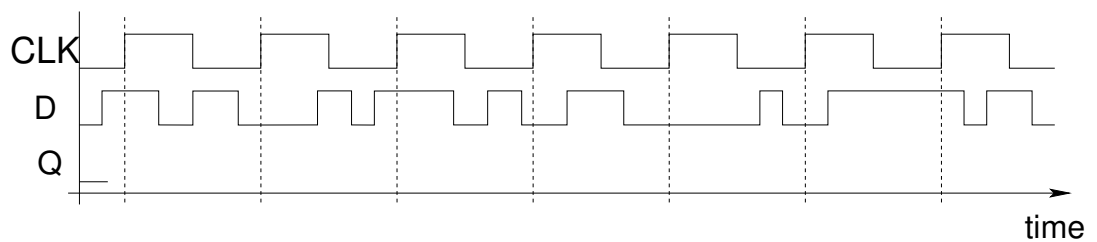
(a) RS-Flipflop



(b) D-Latch

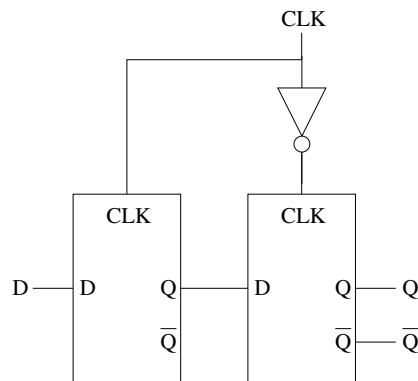


(c) Taktflankengesteuertes D-Flipflop



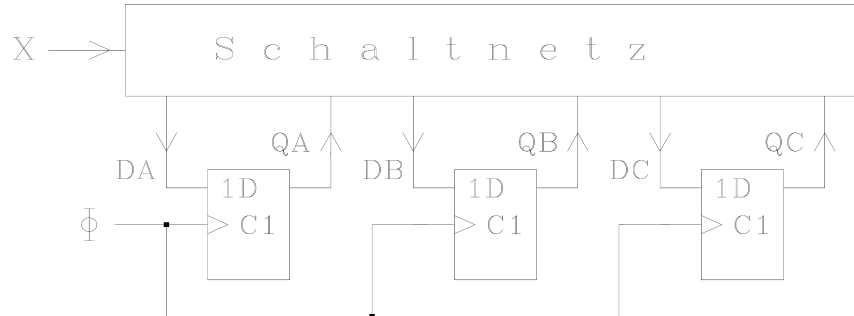
2. Taktflankengesteuertes D-Flipflop (5)

Analysiere und beschreibe in eigenen Worten das Verhalten der folgenden Schaltung, welche aus zwei D-Latches besteht. Beschreibe das Verhalten des Ausgangs Q des zweiten D-Latches in Abhängigkeit des Eingangs D und des Taktes CLK .



3. Analyse einer sequentiellen Schaltung (10)

Betrachte das Verhalten der folgenden sequentiellen Schaltung.



Dabei sind die Ausgänge des Schaltnetzes durch folgende Booleschen Gleichungen beschrieben:

$$DA = \overline{QA}$$

$$DB = \overline{X} \cdot \overline{QC} \cdot \overline{QB} \cdot QA + \overline{X} \cdot QB \cdot \overline{QA} + X \cdot QB \cdot QA + X \cdot QC \cdot \overline{QA}$$

$$DC = X \cdot \overline{QC} \cdot \overline{QB} \cdot \overline{QA} + \overline{X} \cdot QB \cdot QA + \overline{X} \cdot QC \cdot \overline{QA} + X \cdot QC \cdot QA$$

Zum Zeitpunkt $t = 0$ sind die drei taktflankengesteuerten D-Flipflos zurückgesetzt (am Ausgang liegt eine 0 an).

Vervollständige die Wellenformen.

